



# UNIVERSITÀ DI PAVIA

Anno Accademico 2020/2021

## ELETTRONICA DEI SISTEMI DIGITALI

<b>Anno immatricolazione</b>	2018/2019
<b>Anno offerta</b>	2020/2021
<b>Normativa</b>	DM270
<b>SSD</b>	ING-INF/01 (ELETTRONICA)
<b>Dipartimento</b>	DIPARTIMENTO DI INGEGNERIA INDUSTRIALE E DELL'INFORMAZIONE
<b>Corso di studio</b>	INGEGNERIA ELETTRONICA E INFORMATICA
<b>Curriculum</b>	Elettronica
<b>Anno di corso</b>	3°
<b>Periodo didattico</b>	Primo Semestre (28/09/2020 - 22/01/2021)
<b>Crediti</b>	6
<b>Ore</b>	60 ore di attività frontale
<b>Lingua insegnamento</b>	Italiano
<b>Tipo esame</b>	SCRITTO E ORALE CONGIUNTI
<b>Docente</b>	VACCHI CARLA (titolare) - 6 CFU TORILLA GIANMARCO - 0 CFU
<b>Prerequisiti</b>	Algebra di Boole. Analisi e sintesi di sistemi combinatori digitali, rappresentazione in modulo e in complemento a due. MOSFET, inverter CMOS, latch. Conoscenza delle leggi fondamentali dei circuiti elettrici.
<b>Obiettivi formativi</b>	<p>Lo scopo del corso è di fornire una conoscenza di base utile al progetto di sistemi microelettronici CMOS digitali, a partire dalle celle elementari (basate su logica CMOS complementare e a interruttori) fino a blocchi funzionali di media complessità.</p> <p>Vengono discussi differenti approcci per l'integrazione di sistemi digitali e analizzati i passaggi principali e i problemi relativi alle differenti fasi nel progetto e sviluppo di un circuito digitale. Sono discusse le ragioni della necessità del collaudo di un circuito digitale e le regole della progettazione orientata al collaudo.</p> <p>Alla fine del corso, lo studente avrà acquisito familiarità con gli aspetti</p>

elettrici fondamentali dell'elettronica digitale e sarà in grado di progettare, a partire dalla descrizione funzionale, lo schema elettrico e il layout di semplici porte CMOS e di circuiti sincroni.

#### Programma e contenuti

##### Circuiti integrati digitali

Processo di fabbricazione CMOS, componenti passivi, maschere e design rules.

##### Circuiti CMOS e sistemi sequenziali

Porte CMOS. Parametri statici e dinamici. Porte di trasmissione. Uscite open drain e tri-state. Trigger di Schmitt. Buffer digitali. Layout di una porta CMOS. Level sensitive latch. Edge triggered register. Timing. Registri, contatori binari e contatori a scorrimento.

##### Sommatori

Somma, cambio di segno e sottrazione per interi positivi e con segno. Estensione del modulo e traslazioni. Full adder, sommatore sequenziale, Ripple carry adder. Applicazioni alla moltiplicazione.

##### Sistemi digitali: scelta della tecnologia

ASIC Standard Cell e Full Custom, Gate Array, Sea of Gates, FPGA.

##### Collaudo di sistemi digitali

Guasto Stuck at, short e open, Design For Testability, Built In Self Test, Boundary Scan.

##### Esercizi e Laboratori

Esercizi sugli argomenti principali del corso sono risolti direttamente dal docente, oppure proposti come lavoro personale, con revisione da parte del docente per evidenziare errori e misunderstanding. I laboratori prevedono la costruzione di circuiti per la misura di parametri statici e dinamici di porte CMOS e la realizzazione di semplici circuiti sequenziali.

#### Metodi didattici

Lezioni (ore/anno in aula): 30

Esercitazioni (ore/anno in aula): 18

Attività pratiche (ore/anno in aula): 12

Le lezioni vengono tenute con l'ausilio di lucidi, presentazioni power point e brevi spiegazioni ed esercizi alla lavagna. In laboratorio vengono proposte esperienze con circuiti elettronici e strumentazione, scelti per consolidare quanto illustrato a lezione

#### Testi di riferimento

C. Vacchi. Elettronica dei Sistemi Digitali. Biblioteca delle Scienze, Collana Dispense on line.

Sono disponibili sulla pagina web del corso

<http://www.unipv.it/vacchi/didattica/ESDig270.php> dispense sui laboratori redatte dal docente, presentazioni, esercizi ed esempi di testi d'esame. Lo studente deve registrarsi al corso sulla piattaforma kiro.

#### Modalità verifica apprendimento

L'esame consiste due prove scritte obbligatorie, da sostenere nello stesso giorno: la prima prevede esercizi relativi all'analisi e/o al progetto di sistemi digitali (peso pari al 60% della votazione finale). Durante la prova, di durata pari a 2,5 ore, è permessa la consultazione di appunti e libri. La seconda prova scritta (30 minuti, senza appunti e libri di testo,

peso pari al 40% della votazione finale) prevede la risposta a 30 quesiti (domande di teoria e brevi esercizi).

In caso di esami remoti (solo se autorizzati dall'Università di Pavia) il secondo scritto è sostituito da un esame orale.

I risultati delle prove sono comunicati mediante email personale allo studente.

#### **Altre informazioni**

Lezioni disponibili su Kiro fino al termine del corso.

#### **Obiettivi Agenda 2030 per lo sviluppo sostenibile**

[Gli obiettivi](#)