



UNIVERSITÀ DI PAVIA

Anno Accademico 2019/2020

RETI LOGICHE

Anno immatricolazione	2018/2019
Anno offerta	2019/2020
Normativa	DM270
SSD	ING-INF/05 (SISTEMI DI ELABORAZIONE DELLE INFORMAZIONI)
Dipartimento	DIPARTIMENTO DI INGEGNERIA INDUSTRIALE E DELL'INFORMAZIONE
Corso di studio	INGEGNERIA ELETTRONICA E INFORMATICA
Curriculum	PERCORSO COMUNE
Anno di corso	2°
Periodo didattico	Secondo Semestre (02/03/2020 - 12/06/2020)
Crediti	6
Ore	45 ore di attività frontale
Lingua insegnamento	ITALIANO
Tipo esame	SCRITTO E ORALE CONGIUNTI
Docente	TORTI EMANUELE (titolare) - 6 CFU
Prerequisiti	La comprensione degli argomenti del corso presuppone la conoscenza dei concetti affrontati nel corso di fondamenti di informatica.
Obiettivi formativi	Il modulo Reti Logiche intende fornire i fondamenti dell'algebra di Boole, i metodi e le tecniche di analisi e di progetto delle reti logiche combinatorie e sequenziali sincrone e asincrone e una descrizione delle funzioni dell'unità aritmetica inquadrata nello scenario dell'architettura di un processore numerico. Durante il corso verrà introdotto anche il linguaggio VHDL per la descrizione dell'hardware. Al termine del corso lo studente sarà in grado di analizzare e progettare le reti logiche più comuni, di comprendere le funzioni dell'unità aritmetica e le relative prestazioni e di descrivere semplici circuiti digitali in linguaggio VHDL.
Programma e contenuti	Modulo Reti Logiche Sito web: mclab.unipv.it

Introduzione all'algebra di Boole

Introduzione alla logica e alla teoria degli insiemi; algebra di Boole; espressioni e funzioni booleane; teorema del consenso; forme canoniche; implicanti e implicati; rappresentazione di funzioni booleane; semplificazione di funzioni booleane e funzioni di costo; analisi del ritardo di propagazione di una porta logica.

Le reti combinatorie

Reti combinatorie; variabili logiche e segnali elettrici; componenti elettronici elementari; blocchi funzionali elementari: And, Or, Not, Nor, Nand, Xor. Analisi di reti combinatorie. Sintesi di reti combinatorie. Reti combinatorie elementari: decodifica, codifica, selezione, sommatore, sottrattori, moltiplicatori e divisori per valori costanti.

Le reti sequenziali

Reti sequenziali: stato interno, descrizione di automi a stati finiti, macchine minime. Analisi di macchine sequenziali, analisi temporale. Reti sequenziali notevoli: Latch e Flip-Flop, registri, contatori, riconoscitori di sequenze. Progettazione di circuiti sequenziali.

Linguaggio VHDL

Rappresentazioni HDL-VHDL; descrizione VHDL di circuiti combinatori; descrizione VHDL di circuiti sequenziali; simulazione e collaudo di circuiti logici.

Metodi didattici

Modulo di Reti Logiche:
Lezioni (ore/anno in aula): 37,5
Esercitazioni (ore/anno in aula): 12,5
Attività pratiche (ore/anno in aula): 0

Testi di riferimento

M. Morris Mano, Charles R. Kime, T. Martin. Reti Logiche. Pearson, 2019. Traduzione del testo in inglese: M. Morris Mano, Charles R. Kime, T. Martin, "Logic and Computer Design Fundamentals" Pearson Education, 2016, V edition.

Modalità verifica apprendimento

Il modulo di Reti Logiche prevede una prova scritta. E' prevista una prova orale pratica facoltativa in cui viene valutata la capacità del candidato di utilizzare gli strumenti di sviluppo messi a disposizione e usati durante il corso (linguaggio VHDL).

Altre informazioni

Obiettivi Agenda 2030 per lo sviluppo sostenibile

[\\$Ibl legenda sviluppo sostenibile](#)